

# CLOCK REPRODUCING CIRCUIT AND DATA TRANSMISSION DEVICE

Patent number: JP11098130

Publication date: 1999-04-09

Inventor: KIKUCHI HIDEKAZU

Applicant: SONY CORP

Classification:

- International: H04L7/00; H03L7/113; H04L7/033

- european: H03L7/087; H03L7/113; H04L7/033

Application number: JP19970255406 19970919

Priority number(s): JP19970255406 19970919; US19980184974 19981103

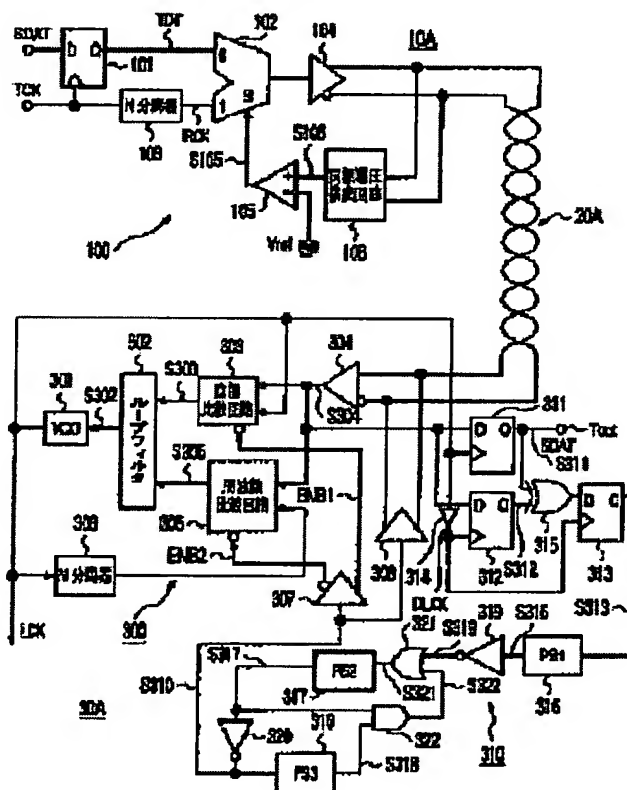
Also published as:

US6266383 (B1)

Report a data error here

## Abstract of JP11098130

**PROBLEM TO BE SOLVED:** To accurately reproduce clocks by simple circuit constitution by detecting whether an error is an accidental error or an error due to frequency deviation between a generated clock signal and input data, and outputting a switching signal to a clock generation circuit when a frequency deviation error occurs. **SOLUTION:** When the frequency of a clock signal LCK generated by a VCO 301 is sharply deviated from that of a clock signal TCK used for a transmission part 10A, an error detection circuit 310 detects the deviation as an error. The circuit 310 detects a difference between input data sampled on two points having respectively different phases in the clock signal LCK generated in a clock generation circuit 300 based on input NRZ data as an error signal. Whether the error is an accidental error or an error due to a frequency deviation between the generated clock signal and input data is detected, and in the case of a frequency deviation error, a switching signal S310 is outputted to a differential driver 307 and an in-phase driver 308 in the circuit 300.



Data supplied from the esp@cenet database - Worldwide

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-98130

(43) 公開日 平成11年(1999) 4月9日

(51) IntCl.<sup>6</sup>  
H 0 4 L 7/00  
H 0 3 L 7/113  
H 0 4 L 7/033

識別記号

F I

H 0 4 L 7/00  
H 0 3 L 7/10  
H 0 4 L 7/02

H  
B  
B

審査請求 未請求 請求項の数22 O L (全 12 頁)

(21) 出願番号 特願平9-255406

(22) 出願日 平成9年(1997) 9月19日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 菊池 秀和

東京都品川区北品川6丁目7番35号 ソニー株式会社内

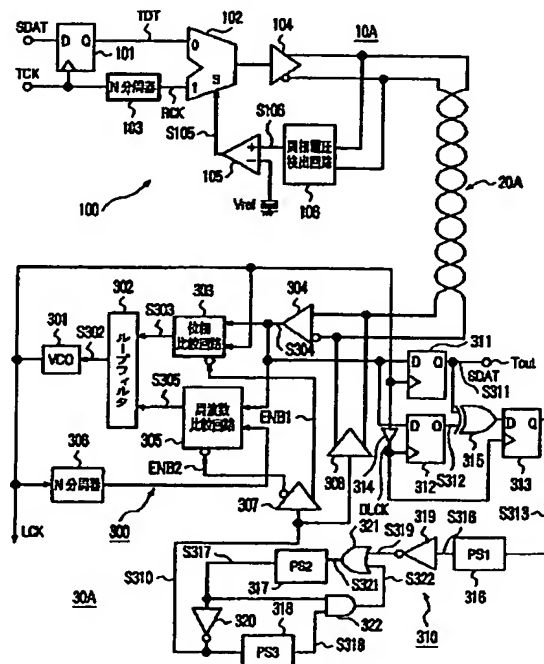
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 クロック再生回路およびデータ伝送装置

(57) 【要約】

【課題】 簡単な回路構成で、的確にクロックを再生できるクロック再生回路、並びに広範囲な転送レートに対応でき、再生したクロック信号が素早く送信クロックに追従でき、伝送媒体を増加する必要がないデータ伝送装置を提供する。

【解決手段】 切替信号 S 3 1 0 の非入力時には送信データに基づいてクロック信号を生成し、切替信号の入力時には参照クロック信号に基づき参照クロック信号の周波数にロックしたクロック信号を生成するクロック生成回路 3 0 0 と、クロック生成回路 3 0 0 で生成されたクロック信号の位相の異なる複数点においてサンプリングした入力データの差異をエラーとし、当該エラーが偶発的なエラーか生成したクロック信号と入力データとの周波数のずれによるエラーかを検出し、周波数ずれエラーの場合に切替信号をクロック生成回路 3 0 0 に出力するエラー検出回路 3 1 0 とを有する受信部 (クロック再生回路) 3 0 A を設ける。



## 【特許請求の範囲】

【請求項1】 切替信号の非入力時には基本クロックに同期した入力データに基づいてクロック信号を生成し、切替信号の入力時には上記基本クロックに基づいて生成された参照クロック信号に基づき、当該参照クロック信号の周波数にロックしたクロック信号を生成するクロック生成回路と、

上記クロック生成回路でクロック信号の位相の異なる複数点においてサンプリングした入力データの差異をエラーとし、当該エラーが偶発的なエラーか生成したクロック信号と入力データとの周波数のずれによるエラーかを検出し、周波数ずれエラーの場合に上記切替信号を上記クロック生成回路に出力するエラー検出回路とを有するクロック再生回路。

【請求項2】 上記クロック生成回路は、切替信号の非入力時に作動し、生成クロック信号と入力データとの位相を比較する位相比較回路と、切替信号の入力時に作動し、上記生成クロック信号と参照クロック信号との周波数を比較する周波数比較回路と、

上記位相比較回路および周波数比較回路の比較結果に応じた発振周波数で発振してクロック信号を生成し、上記位相比較回路、上記周波数比較回路および上記エラー検出回路に出力する発振制御回路とを有する請求項1記載のクロック再生回路。

【請求項3】 上記エラー検出回路は、上記クロック生成回路で生成されたクロック信号の位相の異なる複数点においてサンプリングした入力データの差異をエラーパルス信号として出力するエラーパルス信号生成回路と、上記エラーパルス信号のパルス幅を第1の時間だけ拡張してエラーの密度を調べる第1の回路と、上記第1の回路の出力信号のパルス幅をさらに第2の時間だけ拡張し、当該第2の時間拡張後に未だエラー密度の高い部分がある場合に上記切替信号を出力する第2の回路とを有する請求項1記載のクロック再生回路。

【請求項4】 上記エラー検出回路は、上記クロック生成回路で生成されたクロック信号の位相の異なる複数点においてサンプリングした入力データの差異をエラーパルス信号として出力するエラーパルス信号生成回路と、上記エラーパルス信号のパルス幅を第1の時間だけ拡張してエラーの密度を調べる第1の回路と、

上記第1の回路の出力信号のパルス幅をさらに第2の時間だけ拡張し、当該第2の時間拡張後に未だエラー密度の高い部分がある場合に上記切替信号を出力する第2の回路とを有する請求項2記載のクロック再生回路。

【請求項5】 上記エラー検出回路は、上記切替信号を出力し、クロック信号の周波数を上記参照クロック信号の周波数に引き込んで当該切替信号の出力を停止し位相比較回路を作動させた後に、入力データに基づいて生成されたクロック信号でエラー検出を行う場合、上記クロ

ック信号の位相が上記入力データの位相に引き込まれるまで、上記第2の時間のパルス拡張を行っても未だエラー密度の高い部分がある場合であっても上記切替信号の出力を抑止する第3の回路を有する請求項3記載のクロック再生回路。

【請求項6】 上記エラー検出回路は、上記切替信号を出力し、クロック信号の周波数を上記参照クロック信号の周波数に引き込んで当該切替信号の出力を停止し位相比較回路を作動させた後に、入力データに基づいて生成されたクロック信号でエラー検出を行う場合、上記クロック信号の位相が上記入力データの位相に引き込まれるまで、上記第2の時間のパルス拡張を行っても未だエラー密度の高い部分がある場合であっても上記切替信号の出力を抑止する第3の回路を有する請求項4記載のクロック再生回路。

【請求項7】 伝送線を介して、送信クロック信号により設定された伝送レートで送信部から受信部に送信データを伝送し、受信部において受信信号に基づき受信クロック信号を再生し、上記送信データを受信するデータ伝送装置であって、

上記伝送線は、一対の信号線からなり、

上記送信部は、上記送信データを対をなす差動信号に変換して、上記伝送線に出力し、上記伝送線を伝送された受信部からの要求信号を受けたときには、上記送信データに代えて、参照クロック信号を上記伝送線に出力する出力回路を有し、

上記受信部は、切替信号の非入力時には上記送信データに基づいてクロック信号を生成し、切替信号の入力時には上記参照クロック信号に基づき、当該参照クロック信号の周波数にロックしたクロック信号を生成するクロック生成回路と、上記クロック生成回路で生成されたクロック信号の位相の異なる複数点においてサンプリングした入力データの差異をエラーとし、当該エラーが偶発的なエラーか生成したクロック信号と入力データとの周波数のずれによるエラーかを検出し、周波数ずれエラーの場合に上記切替信号を上記クロック生成回路に出力するエラー検出回路とを有するデータ伝送装置。

【請求項8】 上記送信部の出力回路は、上記伝送線に伝送された信号に応じて、選択制御信号を発生する検出回路と、

上記選択制御信号に応じて、上記送信データと上記参照クロック信号の何れかを選択する選択回路とを有する請求項7記載のデータ伝送装置。

【請求項9】 上記検出回路は、上記伝送線に同相信号が伝送されていないとき、上記選択回路に上記送信データを選択して出力させ、上記伝送線に同相信号が伝送されているとき、上記選択回路に上記参照クロック信号を選択して出力させる上記選択制御信号を出力する請求項8記載のデータ伝送装置。

【請求項10】 上記選択回路の出力側に、選択した信号

を差動信号に変換して上記伝送線に出力する差動駆動回路を有する請求項8記載のデータ伝送装置。

【請求項11】 上記受信部に、上記伝送線を伝送された差動信号に応じて、受信信号を出力する差動受信回路を有する請求項7記載のデータ伝送装置。

【請求項12】 上記差動受信回路の入力端子と上記伝送線との間に、直流成分を遮断し、上記送信データの差動信号に基づく交流信号を通過させるキャパシタを有する請求項11記載のデータ伝送装置。

【請求項13】 上記差動受信回路の動作点を設定するバイアス回路を有する請求項11記載のデータ伝送装置。

【請求項14】 上記クロック生成回路は、切替信号の非入力時に作動し、生成クロック信号と入力データとの位相を比較する位相比較回路と、切替信号の入力時に作動し、上記生成クロック信号と参照クロック信号との周波数を比較する周波数比較回路と、

上記位相比較回路および周波数比較回路の比較結果に応じた発振周波数で発振してクロック信号を生成し、上記位相比較回路、上記周波数比較回路および上記エラー検出回路に出力する発振制御回路とを有する請求項7記載のデータ伝送装置。

【請求項15】 上記エラー検出回路は、上記クロック生成回路で生成されたクロック信号の位相の異なる複数点においてサンプリングした入力データの差異をエラーパルス信号として出力するエラーパルス信号生成回路と、

上記エラーパルス信号のパルス幅を第1の時間だけ拡張してエラーの密度を調べる第1の回路と、

上記第1の回路の出力信号のパルス幅をさらに第2の時間だけ拡張し、当該第2の時間拡張後に未だエラー密度の高い部分がある場合に上記切替信号を出力する第2の回路とを有する請求項7記載のデータ伝送装置。

【請求項16】 上記エラー検出回路は、上記クロック生成回路で生成されたクロック信号の位相の異なる複数点においてサンプリングした入力データの差異をエラーパルス信号として出力するエラーパルス信号生成回路と、

上記エラーパルス信号のパルス幅を第1の時間だけ拡張してエラーの密度を調べる第1の回路と、

上記第1の回路の出力信号のパルス幅をさらに第2の時間だけ拡張し、当該第2の時間拡張後に未だエラー密度の高い部分がある場合に上記切替信号を出力する第2の回路とを有する請求項14記載のデータ伝送装置。

【請求項17】 上記エラー検出回路は、上記切替信号を出力し、クロック信号の周波数を上記参照クロック信号の周波数に引き込んで当該切替信号の出力を停止し位相比較回路を作動させた後に、入力データに基づいて生成されたクロック信号でエラー検出を行う場合、上記クロック信号の位相が上記入力データの位相に引き込まれ

るまで、上記第2の時間のパルス拡張を行っても未だエラー密度の高い部分がある場合であっても上記切替信号の出力を抑止する第3の回路を有する請求項15記載のデータ伝送装置。

【請求項18】 上記エラー検出回路は、上記切替信号を出力し、クロック信号の周波数を上記参照クロック信号の周波数に引き込んで当該切替信号の出力を停止し位相比較回路を作動させた後に、入力データに基づいて生成されたクロック信号でエラー検出を行う場合、上記クロック信号の位相が上記入力データの位相に引き込まれるまで、上記第2の時間のパルス拡張を行っても未だエラー密度の高い部分がある場合でも上記切替信号の出力を抑止する第3の回路を有する請求項16記載のデータ伝送装置。

【請求項19】 上記クロック生成回路は、上記切替信号を受けて上記伝送線に同相信号を出力する同相駆動回路を有する請求項7記載のデータ伝送装置。

【請求項20】 上記クロック生成回路は、上記切替信号を受けて上記伝送線に同相信号を出力する同相駆動回路を有する請求項9記載のデータ伝送装置。

【請求項21】 上記クロック生成回路は、上記切替信号を受けて上記伝送線に同相信号を出力する同相駆動回路を有する請求項14記載のデータ伝送装置。

【請求項22】 上記クロック生成回路は、上記切替信号を受けて上記伝送線に同相信号を出力する同相駆動回路を有する請求項15記載のデータ伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、シリアルデータを高速に伝送するシリアルデータ伝送装置等に適用できるクロック再生回路およびデータ伝送装置に関するものである。

【0002】

【従来の技術】 シリアルデータ伝送は、一本もしくは一対の伝送媒体で信号を伝送することができるので、省スペース性に優れ、また、多芯の信号伝送線で信号を伝送するときに生じるデータ間のスキュー（タイミングずれ）の問題がないので、長距離のデータ伝送に適している。

【0003】 図5は、一般的なシリアルデータ伝送装置の構成を示している。図示のデータ伝送装置は、送信部10、伝送線20および受信部30により構成されている。さらに、送信部10は、並列/直列変換回路11と送信クロック生成回路12からなり、受信部30は、直列/並列変換回路31と、クロック再生回路32からなる。また、伝送線20は、一対の信号線、たとえば遮蔽より線（STP：Shielded Twisted Pair）または非遮蔽より線（UTP：Unshielded Twisted Pair）などにより構成されている。

【0004】 データ伝送時、送信部10に入力された、

たとえばnビットの送信データが並列/直列変換回路11により、送信クロック信号TCKに同期して、直列データに変換され、伝送線20に出力される。送信クロック生成回路12は、たとえばPLL回路により構成され、同期クロック信号CLKを受けて、それに応じて、送信クロック信号TCKを生成して、並列/直列変換回路11に出力する。

【0005】受信部30において、伝送線20により伝送されてきた直列データを受けて、直列/並列変換回路31により、nビットのデータに変換して、出力する。クロック再生回路32は、たとえばPLL回路により構成され、伝送線20の伝送データに基づき送信クロック信号TCKと同じ周波数を有する受信用クロック信号LCKを再生して、直列/並列変換回路に供給する。

【0006】上述したデータ伝送装置により、送信データを、たとえば一对の伝送線路により高速に伝送でき、伝送線の省スペース性が優れている。また、データの歪みが少なく、長距離のデータ伝送を実現できる。

【0007】

【発明が解決しようとする課題】ところで、上述した従来のデータ伝送装置は、送信部10から送信したデータを正確に受信するため、受信部30に、送信データ自体からクロック信号を抽出する回路、すなわちクロック再生回路32が必須であるという問題がある。

【0008】クロック再生回路32は、高いQ値を有するバンドパスフィルタあるいはPLL回路によって構成できる。バンドパスフィルタによりクロック再生回路32を構成する場合、受信信号の微分波形をSAW(Surface Acoustic Wave: 表面弾性波)フィルタなどで濾波して、クロック信号を抽出する方法が代表的である。この方法では、SAWフィルタの中心周波数以外の伝送レートには適用できないという制約を受ける。PLL回路によりクロック再生回路32を構成する場合、受信信号の位相と電圧制御発振器(VCO)の出力の位相とを等しくなるように制御して、クロック信号を抽出する。この方法では、VCOの発振周波数レンジを広くとれば多様なデータ伝送レートに対応できるという利点がある。

【0009】しかし、VCOの周波数が受信信号の周波数と大きくずれている場合に、ランダムなビット列のシリアルデータ信号を想定した位相比較手段は混乱し、VCOはドリフト状態となるか、伝送レートの整数倍の周波数にロックした状態となり、正しく伝送クロック信号TCKを抽出できないことがある。

【0010】上述の問題に対して、受信部30の初期化状態において、伝送する信号のレートと特定の比の周波数を持った参照クロック信号を受信部30に与えて、PLL回路をロックさせておく方法が取られる。しかしながら、この方法でも、送信器の伝送するシリアルデータの伝送レートが不明である場合には、参照クロック信号の周波数の設定ができないので、送信レートに関する情

報を伝送する別の手段が必要になる。

【0011】本発明は、かかる事情に鑑みてなされたものであり、その目的は、簡単な回路構成で、的確にクロックを再生できるクロック再生回路、並びに広範囲な転送レートに対応でき、再生したクロック信号が素早く送信クロックに追従でき、伝送媒体を増加する必要がないデータ伝送装置を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明のクロック再生回路は、切替信号の非入力時には基本クロックに同期した入力データに基づいてクロック信号を生成し、切替信号の入力時には上記基本クロックに基づいて生成された参照クロック信号に基づき、当該参照クロック信号の周波数にロックしたクロック信号を生成するクロック生成回路と、上記クロック生成回路で生成されたクロック信号の位相の異なる複数点においてサンプリングした入力データの差異をエラーとし、当該エラーが偶発的なエラーか生成したクロック信号と入力データとの周波数のずれによるエラーかを検出し、周波数ずれエラーの場合に上記切替信号を上記クロック生成回路に出力するエラー検出回路とを有する。

【0013】また、本発明では、上記クロック生成回路は、切替信号の非入力時に作動し、生成クロック信号と入力データとの位相を比較する位相比較回路と、切替信号の入力時に作動し、上記生成クロック信号と参照クロック信号との周波数を比較する周波数比較回路と、上記位相比較回路および周波数比較回路の比較結果に応じた発振周波数で発振してクロック信号を生成し、上記位相比較回路、上記周波数比較回路および上記エラー検出回路に出力する発振制御回路とを有する。

【0014】また、本発明では、上記エラー検出回路は、上記クロック生成回路で生成されたクロック信号の位相の異なる複数点においてサンプリングした入力データの差異をエラーパルス信号として出力するエラーパルス信号生成回路と、上記エラーパルス信号のパルス幅を第1の時間だけ拡張してエラーの密度を調べる第1の回路と、上記第1の回路の出力信号のパルス幅をさらに第2の時間だけ拡張し、当該第2の時間拡張後に未だエラー密度の高い部分がある場合に上記切替信号を出力する第2の回路とを有する。

【0015】また、本発明では、上記エラー検出回路は、上記切替信号を出力し、クロック信号の周波数を上記参照クロック信号の周波数に引き込んで当該切替信号の出力を停止し位相比較回路を作動させた後に、入力データに基づいて生成されたクロック信号でエラー検出を行う場合、上記クロック信号の位相が上記入力データの位相に引き込まれるまで、上記第2の時間のパルス拡張を行っても未だエラー密度の高い部分がある場合であっても上記切替信号の出力を抑止する第3の回路を有する。

【0016】また、本発明は、伝送線を介して、送信クロック信号により設定された伝送レートで送信部から受信部に送信データを伝送し、受信部において受信信号に基づき受信クロック信号を再生し、上記送信データを受信するデータ伝送装置であって、上記伝送線は、一対の信号線からなり、上記送信部は、上記送信データを対をなす差動信号に変換して、上記伝送線に出力し、上記伝送線を伝送された受信部からの要求信号を受けたときには、上記送信データに代えて、参照クロック信号を上記伝送線に出力する出力回路を有し、上記受信部は、切替信号の非入力時には上記送信データに基づいてクロック信号を生成し、切替信号の入力時には上記参照クロック信号に基づき、当該参照クロック信号の周波数にロックしたクロック信号を生成するクロック生成回路と、上記クロック生成回路で生成されたクロック信号の位相の異なる複数点においてサンプリングした入力データの差異をエラーとし、当該エラーが偶発的なエラーか生成したクロック信号と入力データとの周波数のずれによるエラーかを検出し、周波数ずれエラーの場合に上記切替信号を上記クロック生成回路に出力するエラー検出回路とを有する。

【0017】また、本発明では、上記送信部の出力回路は、上記伝送線に伝送された信号に応じて、選択制御信号を発生する検出回路と、上記選択制御信号に応じて、上記送信データと上記参照クロック信号の何れかを選択する選択回路とを有する。

【0018】また、本発明では、上記検出回路は、上記伝送線に同相信号が伝送されていないとき、上記選択回路に上記送信データを選択して出力させ、上記伝送線に同相信号が伝送されているとき、上記選択回路に上記参照クロック信号を選択して出力させる上記選択制御信号を出力する。

【0019】また、本発明では、上記選択回路の出力側に、選択した信号を差動信号に変換して上記伝送線に出力する差動駆動回路を有する。

【0020】また、本発明では、上記受信部に、上記伝送線を伝送された差動信号に応じて、受信信号を出力する差動受信回路を有する。

【0021】また、本発明では、上記差動受信回路の入力端子と上記伝送線との間に、直流成分を遮断し、上記送信データの差動信号に基づく交流信号を通過させるキャパシタを有する。

【0022】また、本発明では、上記差動受信回路の動作点を設定するバイアス回路を有する。

【0023】また、本発明では、上記クロック生成回路は、上記切替信号を受けて上記伝送線に同相信号を出力する同相駆動回路を有する。

【0024】本発明によれば、エラー検出回路において、上記クロック生成回路で生成されたクロック信号の位相の異なる複数点においてサンプリングした入力デー

タの差異がエラーとしてとらえられ、これが偶発的なエラーか生成したクロック信号と入力データとの周波数のずれによるエラーかが検出される。そして、周波数ずれエラーの場合に切替信号がクロック生成回路に出力される。クロック生成回路においては、切替信号の非入力時には基本クロックに同期した入力データに基づいてクロック信号が生成される。これに対して、クロック信号と入力データとの周波数のずれによるエラーが検出され、切替信号の入力されたときには、基本クロックに基づいて生成された参照クロック信号に基づき、当該参照クロック信号の周波数にロックしたクロック信号が生成される。

【0025】また、本発明によれば、送信部により、送信クロック信号によって設定された伝送レートで送信データが差動信号に変換して伝送線に出力され、受信部において、受信信号に応じて、受信クロック信号が再生され、再生されたクロック信号に応じて、伝送線からの信号が受信される。受信部において、クロック再生回路により、受信クロックが再生される。再生されたクロック信号の周波数と送信データ用の送信クロック信号の周波数が異なるとき、エラー検出回路において切替信号が生成され、たとえば伝送線に参照クロック信号の送信を要求する同相の要求信号が出力され、これを受けて、送信部により、参照クロック信号が伝送線に出力される。受信部では、参照クロック信号に基づき、当該参照クロック信号の周波数にロックしたクロック信号が生成される。そして、クロック信号の周波数が参照クロック信号の周波数に引き込まれると、通常データ通信が行われ、クロック生成回路では、クロック信号の位相を受信データの位相に引き込むような制御が行われる。

【0026】

【発明の実施の形態】図1は、本発明に係るデータ伝送装置の一実施形態を示す回路図である。図1のデータ伝送装置は、出力回路100を有する送信部10A、一対の信号線からなる伝送線20A、およびクロック生成回路300およびエラー検出回路310を有する受信部30Aにより構成されている。

【0027】送信部10Aの出力回路100は、たとえばNRZデータである送信データを対をなす差動信号に変換して伝送線20Aに出力し、伝送線20Aを伝送された受信部からの要求信号を受けたときには、送信データに代えて、参照クロック信号を伝送線20Aに出力する。

【0028】出力回路100は、具体的には、D型フリップフロップ101、セレクタ102、分周器103、差動ドライバ104、コンパレータ105および同相電圧検出回路106により構成されている。

【0029】フリップフロップ101は、クロック信号入力端子に送信部10Aの図示しない送信クロック発生回路からの送信クロック信号TCKが入力され、データ



入力端子に図示しない並列／直列変換回路からシリアル  
の送信データSDATが入力され、送信データSDAT  
をクロック信号TCKのタイミングで出力端子Qからセ  
レクタ102の入力端子0に順次出力する。

【0030】セレクタ102は、選択信号端子Sに入力  
される選択制御信号S105のレベルに応じて、入力端  
子0または入力端子1の何れかに入力された信号を選択  
して出力する。たとえば選択信号端子Sにハイレベルの  
選択制御信号S105が入力されているとき、セレクタ  
102は入力端子1に入力された参照クロック信号RC  
Kを選択して出力する。これに対して、選択信号端子S  
にローレベルの選択制御信号S105が入力されている  
とき、セレクタ102は入力端子0に入力された送信デ  
ータを選択して出力する。

【0031】分周器103は、送信クロック信号TCK  
をN(Nは正整数である)分周し、この分周信号を参照  
クロック信号RCKとして、セレクタ102の入力端子  
1に出力する。

【0032】差動ドライバ104は、セレクタ102の  
出力信号を受けて、それに応じて対をなす差動信号を発  
生し、一對の信号線からなる伝送線20Aに出力する。

【0033】コンパレータ105は、同相電圧検出回路  
106からの検出信号S106が所定の基準電圧 $V_{ref}$   
を越えたとき、ハイレベルの選択制御信号S105をセ  
レクタ102の選択信号入力端子Sに出力し、それ以外  
のとき、ローレベルの選択制御信号S105をセレクタ1  
02の選択信号入力端子Sに出力する。

【0034】同相電圧検出回路106は、伝送線20A  
に印加された同相信号を検出して、検出信号S106を  
コンパレータ105に出力する。

【0035】上述したように構成された出力回路100  
においては、通常動作時に、伝送線20Aに差動信号の  
みが出力される。したがって、同相電圧検出回路106  
からは、ローレベルの検出信号S106が出力される。  
その結果、コンパレータ105からローレベルの選択制  
御信号S105がセレクタ102の選択信号端子Sに出  
力される。これに応じて、セレクタ102により、入力  
端子0に入力された信号が選択される。すなわち、フリ  
ップフロップ101から出力されたシリアルを送信デー  
タTDTがセレクタ102により選択され、伝送線20  
Aに出力される。

【0036】一方、受信部30Aにおいて、何らかの原  
因でPLL回路の同期がずれたとき、後述するように、  
受信部30Aのクロック生成回路300により、同相信  
号である参照クロック信号の要求信号が発生され、伝送  
線20Aに出力される。送信部10Aの出力回路100  
においては、この要求信号を受けて同相電圧検出回路1  
06によりハイレベルの検出信号S106が発生され、  
コンパレータ105に出力される。これにより、コンパ  
レータ105からハイレベルの選択制御信号S105が

セレクタ102の選択信号端子Sに出力される。これに  
応じて、セレクタ102により、入力端子1に入力され  
た信号が選択される。すなわち、分周器103から出力  
された参照クロック信号RCKがセレクタ102により  
選択され、伝送線20Aに出力される。

【0037】受信部30Aのクロック生成回路300  
は、エラー検出回路310から切替信号S310をロー  
レベルで受けた場合には、伝送線20Aを伝送された送  
信データに基づいてクロック信号LCKを生成し、切替  
信号S310をハイレベルで受けた場合には、伝送線2  
0Aを伝送された参照クロック信号RCKに基づき、こ  
の参照クロック信号RCKの周波数にロックしたクロッ  
ク信号LCKを生成する。

【0038】クロック生成回路300は、具体的には、  
電圧制御発振器(VCO)301、ループフィルタ30  
2、位相比較回路303、差動レシーバ304、周波数  
比較回路305、分周器306、差動ドライバ307、  
および同相ドライバ308により構成されている。な  
お、分周器306の分周比は、送信部10Aにおける分  
周回路103の分周比と同様に設定されている。また、  
これらの分周回路の分周比はともに1に設定すること  
ができる。すなわち、これらの分周器は省略できる。送信  
部10Aおよび受信部30Aにそれぞれ分周器103お  
よび306を設けることにより、参照クロック信号RC  
Kの周波数を低減でき、受信部30Aの周波数比較回路  
305の動作周波数範囲を低減させることができる。

【0039】VCO301は、ループフィルタ302か  
らの発振制御信号S302に応じてクロック信号LCK  
の周波数を制御する。ループフィルタ302は、位相比  
較回路303からの発振制御信号S303もしくは周波  
数比較回路305からの発振制御信号S305の高域成  
分、ノイズなどを除去し、低域成分のみを発振制御信号  
S302としてVCO301に出力する。

【0040】位相比較回路303は、差動レシーバ30  
4からの受信信号S304とVCO301からのクロッ  
ク信号LCKとの位相を比較し、比較結果に応じて発振  
制御信号S303を発生し、ループフィルタ302に出  
力する。

【0041】差動レシーバ304は、伝送線20Aより  
伝送されてきた差動信号を受けて受信信号S304を生  
成し、位相比較回路303、周波数比較回路305およ  
びエラー検出回路310にそれぞれ出力する。

【0042】周波数比較回路305は、分周器306か  
らの分周信号の周波数と伝送線20Aから伝送された参  
照クロック信号RCKの周波数とを比較して、比較結果  
に応じて、発振制御信号S305を出力する。

【0043】なお、位相比較回路303、周波数比較回  
路305、ループフィルタ302およびVCO301に  
より、PLL回路が構成されている。

【0044】このように構成されたPLL回路におい



て、VCO301により、送信部10に用いられた送信クロック信号TCKと同じ周波数を有するクロック信号LCKが得られる。クロック信号LCKは、送信クロック信号TCKの再生信号として、送信データの受信あるいは受信部30Aの同期制御に用いられる。

【0045】位相比較回路303および周波数比較回路305は、イネーブル機能付きであり、入力されたイネーブル信号のレベルに応じて、動作／非動作状態が設定される。ここで、位相比較回路303および周波数比較回路305はともにローイネーブルとする。すなわち、イネーブル信号入力端子にローレベルの信号が入力されているときのみ動作し、それ以外のとき動作しない。

【0046】差動ドライバ307は、エラー検出回路310による切替信号S310を受けて、この切替信号S310の入力レベルに応じた位相比較回路303および周波数比較回路305の動作状態を制御するイネーブル信号ENB1およびENB2を生成する。

【0047】具体的には、エラー検出回路310でエラーが検出されず切替信号S310がローレベルで入力されたときには、それぞれローレベルのイネーブル信号ENB1およびハイレベルのイネーブル信号ENB2を生成する。これにより、エラーが検出されないときには、位相比較回路303のみが動作状態に設定され、周波数比較回路305は非動作状態に設定される。

【0048】これに対して、初期化状態または通常受信動作時に、何らかの原因でVCO301により生成されたクロック信号LCKの周波数が送信部10Aに用いられているクロック信号TCKの周波数と大きくずれ、エラー検出回路310でエラーとして検出され、切替信号S310がハイレベルで入力されると、それぞれハイレベルのイネーブル信号ENB1およびローレベルのイネーブル信号ENB2を生成する。これにより、エラーが検出されたときには、位相比較回路303が非動作状態に設定され、周波数比較回路305が動作状態に設定される。

【0049】同相ドライバ308は、エラー検出回路310による切替信号S310を受けて同相信号を発生し伝送線20Aに出力する。同相ドライバ308は、エラー検出回路310による切替信号S310がハイレベルに保持されている間に、参照クロック信号の要求信号としての同相信号をハイレベルで伝送線20Aに出力する。このとき、伝送線20Aを構成する一対の信号線の平均電圧がハイレベル、たとえば1Vに保持される。

【0050】エラー検出回路310は、クロック生成回路300で入力NRZデータ（または参照クロック信号RCK）に基づいて生成されたクロック信号LCKの位相の異なる2点においてサンプリングした入力データ

（または参照クロック信号RCK）の差異をエラー信号とし、このエラーが偶発的なエラーか生成したクロック信号と入力データとの周波数のずれによるエラーかを検

出し、周波数ずれエラーの場合に切替信号S310をクロック生成回路300の差動ドライバ307および同相ドライバ308に出力する。

【0051】エラー検出回路310のエラー検出原理は、送信データであるNRZ信号とVCO301による生成クロック信号LCKのずれは、クロック信号LCKの僅かに位相の異なる2点でサンプリングしてその差異を調べると、間欠的にエラーパルス出力が得られることによる（図2参照）。これは、通信で偶発的に生じるロックはずれ等によるエラーに比してより密に発生する。なお、図2中、\*で示す領域がエラーが発生する可能性の高い領域である。そこで、エラー検出回路310は、NRZデータに基づいて生成されたクロック信号LCKの位相の異なる2点においてサンプリングした入力データの差異をエラーパルス信号として生成し、生成したエラーパルス信号のパルス幅を所定時間だけ拡張してエラー密度を調べ、さらにパルスを拡張し、それでもある密度でエラーパルスがあればエラーとして検出するように構成されている。

【0052】エラー検出回路310は、具体的には、D型フリップフロップ311、312、313、遅延回路314、排他的論理和（EXOR）ゲート315、パルスストレッチャ316（PS1）、317（PS2）、318（PS3）、インバータ319、320、2入力ORゲート321、および2入力ANDゲート322により構成されている。

【0053】D型フリップフロップ311は、クロック生成回路300で生成されたクロック信号LCKをクロック入力に入力し、入力端子Dに差動レシーバ304で受信された受信信号S304を入力し、クロック信号LCKで受信信号S304をサンプリングして送信データを再生し、出力端子Qから再生データS311を出力端子TOUTおよびEXORゲート315に出力する。

【0054】D型フリップフロップ312は、クロック生成回路300で生成されたクロック信号LCKを遅延回路314で所定時間だけ遅延された遅延クロック信号DLCKをクロック入力に入力し、入力端子Dに差動レシーバ304で受信された受信信号S304を入力し、遅延クロック信号LCKで受信信号S304をサンプリングして送信データを再生し、出力端子Qから再生データS312をEXORゲート315に出力する。

【0055】D型フリップフロップ313は、クロック生成回路300で生成されたクロック信号LCKを遅延回路314で所定時間だけ遅延された遅延クロック信号DLCKをクロック入力に入力し、入力端子DにEXORゲート315でクロック信号LCKの位相の異なる2点においてサンプリングした再生データS311とS312との排他的論理和の結果信号S315を入力し、遅延クロック信号LCKで信号S315をサンプリングして、その結果を図3（a）に示すようなエラーパルス信

号S313として出力端子Qからパルスストレッチャ316に出力する。図3(a)において、①で示す領域の波形は偶発的に生じるエラーパルス、②で示す領域の波形はVCO301の周波数ずれで生じるエラーパルスである。

【0056】これらD型フリップフロップ311~313、遅延回路314、およびEXOR315によりクロック生成回路300で入力データに基づいて生成されたクロック信号LCKの位相の異なる2点においてサンプリングした入力データの差異をエラーパルス信号を生成するエラーパルス信号生成回路が構成されている。

【0057】パルスストレッチャ316は、エラーパルス信号S313のパルス幅をさらに第1の時間T1だけ拡張し、図3(b)に示すような信号S316としてインバータ319に出力する。このパルスストレッチャ316におけるパルス拡張時間T1は、上述したようにエラー密度を調べるための時間である。

【0058】インバータ319は、パルスストレッチャ316の出力信号S316のレベルを反転させ、図3(c)に示すような信号S319をORゲート321に出力する。このインバータ319の反転出力信号S319は、エラーパルス信号S313がパルスストレッチャ316で時間T1だけ拡張されているので、図3(c)に示すように、①で示す領域では、エラーがまばらな箇所ではパルスが立ち、②で示す領域のようにエラーが密なところではパルスが出なくなる。なお、パルスストレッチャ316、インバータ319により第2の回路が構成される。

【0059】パルスストレッチャ317は、ORゲート321の出力信号S321、すなわちインバータ319の出力信号S319またはANDゲート322の出力信号S322のパルス幅をさらに第2の時間T2だけ拡張し、図3(e)に示すような信号S317としてインバータ320およびANDゲート322に出力する。このパルスストレッチャ317の出力信号S317は、インバータ319の反転出力信号S319のパルス幅をさらに時間T2だけ拡張したものであることから、図3(e)に示すように、エラーが密な部分が時間T2以上続いたときにだけローレベルになる。

【0060】インバータ320は、パルスストレッチャ317の出力信号S317のレベルを反転させて図3(f)に示すような切替信号S310を生成し、パルスストレッチャ318、並びにクロック生成回路300の差動ドライバ307および同相ドライバ308に出力する。この切替信号S310がハイレベルで出力されるときに、前述したように、クロック生成回路300においては、クロック信号LCKと入力NRZデータとの周波数ずれが生じているものとして、周波数比較回路305を用いたループでVCO301の発振周波数を参照クロック信号RCKの周波数に引き込む動作が行われ

る。なお、パルスストレッチャ317およびインバータ320により第2の回路が構成される。

【0061】パルスストレッチャ318は、切替信号S310のパルス幅をさらに第3の時間T3だけ拡張し、図3(g)に示すような信号S318としてANDゲート322に出力する。

【0062】ANDゲート322は、パルスストレッチャ317の出力信号S317とパルスストレッチャ318の出力信号S318との論理積をとりマスク信号S322としてORゲート321に出力する。

【0063】これらパルスストレッチャ318およびANDゲート322は第3の回路として以下の機能を有する。すなわち、切替信号S3130がハイレベルの期間にクロック生成回路300において行われる周波数比較回路305を用いたループでVCO301の発振周波数を参照クロック信号RCKの周波数に引き込む動作が進み、VCO301の発振周波数が参照クロック信号RCKの周波数に近づいていくと、エラーパルス信号S313は再び疎になり、パルスストレッチャ316の出力信号はローレベルに落ち、パルスストレッチャ317の出力信号はハイレベルになる。その結果、切替信号S310は、ローレベルになり、クロック生成回路300においては位相比較回路303を用いたループで動作し、VCO301の発振周波数を入力NRZ信号に引き込む動作が行われる。そして、この引き込む過程において生じる図3中③で示す領域のエラーパルス信号S313を、パルスストレッチャ318およびANDゲート322で生成したマスク信号S322を用いて、時間T3の間はエラーをマスクして、切替信号S310をローレベルに保持させて位相比較回路303を用いたループで動作させ、VCO301で生成されるクロック信号に位相を入力NRZデータの位相に引き込む動作を続行させる。

【0064】次に、上記構成による動作を説明する。たとえば、伝送線20Aを介して送信部10Aと受信部30Aを接続したときあるいは通常のデータ伝送中にノイズ等の原因で、受信部30Aで生成されるクロック信号LCKの周波数が、送信部10Aで用いられている送信クロック信号TCKの周波数とずれたときには、当初エラー信号生成回路で生成されるエラーパルス信号S313は図3の②で示す領域のように密状態にある。このエラー信号S313は、パルスストレッチャ316でそのパルス幅が時間T1だけ拡張される。その結果、パルスストレッチャ316からパルスではなく直流(DC)的なレベルの信号S316が出力される。この信号S316はインバータ319で反転され、ローレベルの信号S319としてORゲート321を介してパルスストレッチャ317に入力される。

【0065】パルスストレッチャ317においては、ORゲート321の出力信号S321、すなわちインバータ319の出力信号S319のパルス幅がさらに時間T

2だけ拡張され、図3(e)に示すような信号S317としてインバータ320およびANDゲート322に出力される。このパルスストレッチャ317の出力信号S317は、インバータ319の反転出力信号S319のパルス幅をさらに時間T2だけ拡張したものであることから、図3(e)に示すように、エラーが密な部分が時間T2以上続いたときにだけローレベルに切り替わる。

【0066】そして、インバータ320において、パルスストレッチャ317の出力信号S317のレベルが反転されて、ハイレベルの切替信号S310が生成され、パルスストレッチャ318、並びにクロック生成回路300の差動ドライバ307および同相ドライバ308に出力される。

【0067】差動ドライバ307では、エラー検出回路310によるハイレベルの切替信号S310を受けて、ハイレベルのイネーブル信号ENB1およびローレベルのイネーブル信号ENB2が生成され、それぞれ位相比較回路303および周波数比較回路305に供給される。これにより、位相比較回路303が非動作状態に設定され、周波数比較回路305が動作状態に設定される。

【0068】また、同相ドライバ308では、エラー検出回路310による切替信号S310を受けて同相信号が発生され、伝送線20Aに出力される。このとき、伝送線20Aを構成する一対の信号線の平均電圧がハイレベル、たとえば1Vに保持される。

【0069】このように伝送線20Aにハイレベルの同相信号が出力されていることから、送信部10Aの出力回路100において、同相電圧検出回路106により、ハイレベルの検出信号S106が出力され、コンパレータ105によりハイレベルの選択制御信号S105がセレクタ102に出力される。これにより、セレクタ102では、分周器103からの参照クロックRCKが選択され、参照クロックRCKが差動ドライバ104を介して、伝送線20Aに出力される。

【0070】受信部30Aのクロック生成回路300において、差動レシーバ304により伝送線20Aを伝送された参照クロックRCKが受信され、これに同期した受信信号S304が出力される。この受信信号S304は、ローレベルのイネーブル信号ENB2により動作状態に設定されている周波数比較回路305に入力される。また、周波数比較回路305には、VCO301により出力されたクロック信号LCKが分周器306により、N分周された分周信号が入力される。

【0071】周波数比較回路305において、受信信号S304と分周器306の分周信号の周波数が比較され、比較結果に応じて、発振制御信号S305が発生され、ループフィルタ302に出力される。ループフィルタ302により、周波数比較回路305からの発振制御信号S305の高域成分、ノイズなどが除去され、低域

成分のみがVCO301に出力される。そして、VCO301において、ループフィルタ302からの発振制御信号に応じて、クロック信号LCKの周波数が制御される。すなわち、クロック信号LCKと入力NRZデータ、ひいては送信部10Aで用いられている送信クロック信号TCKとの周波数ずれが生じているものとして、周波数比較回路305を用いたループでVCO301の発振周波数を参照クロック信号RCKの周波数に引き込む動作が行われる。

【0072】このように、分周回路306からの分周信号と参照クロックRCKの周波数が一致するようにVCO301の発振周波数が制御されて、VCO301により発生されたクロック信号LCKの周波数が送信部10Aに用いられている送信クロック信号TCKの周波数と徐々に一致するようになる。

【0073】この周波数調整されているクロック信号LCKは、エラー検出回路310に入力されている。この場合、上述したように切替信号S310がハイレベルの期間にクロック生成回路300において行われる周波数比較回路305を用いたループでVCO301の発振周波数を参照クロック信号RCKの周波数に引き込む動作が進み、VCO301の発振周波数が参照クロック信号RCKの周波数に近づいていくと、エラー検出回路310で生成されるエラーパルス信号S313は再び疎になり、パルスストレッチャ316の出力信号はローレベルに落ち、パルスストレッチャ317の出力信号はハイレベルに切り替わる。その結果、切替信号S310はローレベルになる。

【0074】切替信号S310がローレベルになったことに伴い、クロック生成回路300の差動ドライバ307では、エラー検出回路310によるローレベルの切替信号S310を受けて、イネーブル信号ENB1がローレベルに切り替えられ、およびイネーブル信号ENB2がハイレベルに切り替えられて、それぞれ位相比較回路303および周波数比較回路305に供給される。これにより、位相比較回路303が動作状態に切り替わり、周波数比較回路305が非動作状態に切り替わる。

【0075】また、同相ドライバ308では、ローレベルの切替信号S310を受けて同相信号がローレベルに切り替えられて伝送線20Aに出力される。

【0076】このように伝送線20Aにローレベルの同相信号が出力されていることから、送信部10Aの出力回路100において、同相電圧検出回路106により、ローレベルの検出信号S106が出力され、コンパレータ105によりローレベルの選択制御信号S105がセレクタ102に出力される。これにより、セレクタ102では、フリップフロップ101からの送信データであるNRZデータが選択され、この送信データは差動ドライバ104を介して、伝送線20Aに出力される。

【0077】受信部30Aのクロック生成回路300に

において、差動レシーバ304により伝送線20Aを伝送されたNRZデータが受信され、これに同期した受信信号S104が出力される。この受信信号S104は、ローレベルのイネーブル信号ENB1により動作状態に設定されている位相比較回路303およびエラー検出回路310に入力される。

【0078】クロック生成回路300においては位相比較回路303を用いたループで動作し、VCO301によるクロック信号LCKの位相を入力NRZデータの位相に引き込む動作が行われる。

【0079】そして、エラー検出回路310では、この引き込む過程において、図3中②で示す領域のエラーパルス信号S313が生じ、パルスストレッチャ318およびANDゲート322でマスク信号S322が生成され、時間T3の間はエラーをマスクして、切替信号S310がローレベルに保持される。すなわち、クロック生成回路300を、位相比較回路303を用いたループで強制的に動作させ、VCO301で生成されたクロック信号LCKの位相を入力NRZデータの位相に引き込む動作が続行される。

【0080】そして、マスク期間中に位相比較回路303を用いたループでVCO301生成されたクロック信号LCKの位相が差動ドライバ304から出力されたNRZデータ（受信信号S304）の位相とが一致するように制御が行われる。以後、送信部10Aと受信部30A間の伝送線20Aを介した差動信号であるデータ伝送が行われる。また、フリップフロップ311により、VCO301により生成されたクロック信号LCKのタイミングに応じて、伝送線20Aから伝送されてきたデータSDATが順次出力される。フリップフロップ311の出力データSDATが図示しない直列／並列変換回路により、たとえばnビットのデータに変換され出力される。

【0081】なお、通常のデータ伝送期間中にノイズ等の原因で、クロック信号TCKの周波数が送信部10Aで用いられている送信クロック信号TCKの周波数とずれたときには、エラーパルス信号S313は図3中②で示す領域のように密状態になり、上述したと同様の周波数引き込み制御が行われる。しかし、図3中①で示す領域のように、エラー密度が疎な、いわゆる偶発的なエラーしか検出できない場合には、パルスストレッチャ316、317でパルス幅を拡張した結果である信号S317がローレベル期間のないDC的なハイレベルな信号となることから、切替信号S310はローレベルのままに保持される。すなわち、偶発的なエラーは、位相比較回路303を用いたループで、VCO301で生成されたクロック信号LCKの位相を入力NRZデータの位相に引き込む動作を続行させることにより解消できるものとして扱われる。

【0082】以上説明したように、本第1の実施形態に

よれば、一对の信号線からなる伝送線20Aと、送信データを対をなす差動信号に変換して伝送線20Aに出力し、伝送線を伝送された受信部30Aからの要求信号を受けたときには、送信データに代えて、参照クロック信号を伝送線20Aに出力する出力回路100を有する送信部10Aと、切替信号S310の非入力時には送信データに基づいてクロック信号を生成し、切替信号の入力時には参照クロック信号に基づき、当該参照クロック信号の周波数にロックしたクロック信号を生成するクロック生成回路300と、クロック生成回路300で生成されたクロック信号の位相の異なる複数点においてサンプリングした入力データの差異をエラーとし、当該エラーが偶発的なエラーか生成したクロック信号と入力データとの周波数のずれによるエラーかを検出し、周波数ずれエラーの場合に切替信号S310をクロック生成回路300に出力するエラー検出回路310とを有する受信部30Aとを設けたので、広範囲な転送レートに対応でき、PLL回路を素早く送信クロックにロックでき、伝送媒体を増加する必要がなく、簡単な回路構成で確にクロックを再生できる有効なクロック再生回路を実現できる。

## 【0083】第2実施形態

図4は本発明に係るデータ伝送装置の第2の実施形態を示す回路図である。本第2の実施形態が図1に示す本発明の第1の実施形態と異なる点は、受信部30Aのクロック生成回路300Aにおける差動レシーバ304の入力側にバイアス回路309を接続するとともに、キャパシタC1、C2をそれぞれ接続したことにある。その他の構成は、第1の実施形態と同様であり、図4においては図1の回路と同様な構成部分に同様な符号を付して表記している。

【0084】図4に示すように、差動レシーバ304の同相入力端子と伝送線20Aの一方の信号線との間に、キャパシタC1が接続され、反転入力端子と伝送線20Aの他方の信号線との間に、キャパシタC2が接続されている。さらに、差動レシーバ304の入力端子に、バイアス回路309が接続されている。バイアス回路309は、差動レシーバ304にバイアス電圧を供給し、差動レシーバ304の動作点を設定する。

【0085】通常データ伝送時に、伝送線20Aに送信データに応じた差動信号が高速に伝送され、データ伝送レートは、たとえば100Mb/s～2Gb/sである。受信部30Aにおいて、クロック生成回路300Aにより生成されたクロック信号LCKの周波数が送信クロック信号TCKの周波数からずれているとき、送信部10Aに参照クロック信号RCKの伝送線20Aへの送信を要求する同相信号が伝送され、この同相信号が一定時間に一定のレベルに保持されている信号であり、直流信号と見なせる。キャパシタC1およびC2により、差動レシーバ304と伝送線20Aは直流分離され、伝送

10

20

30

40

50

線20Aから伝送されてきた送信データに基づく交流成分のみがキャパシタC1、C2を介して、差動レシーバ304に結合される。また、伝送線20Aに、同相な参照クロック要求信号が入力されているとき、キャパシタC1、C2により、これが遮断され、差動レシーバ304に入力されない。

【0086】このように、キャパシタC1およびC2により伝送線20Aの送信データに応じた差動信号のみが差動レシーバ304に入力され、参照クロック要求信号などの直流成分が遮断される。たとえば長い伝送線20Aを用いてデータを伝送する場合、送信部10Aと受信部30Aは、それぞれ独立した電源により駆動されるが、受信部30Aの差動レシーバ304は、バイアス回路309により、差動レシーバ304に与えられた電源電圧に応じた最適な動作点にバイアスされる。

【0087】以上説明したように、本第2の実施形態によれば、受信部30Aにおいて、差動レシーバ304の入力端子と伝送線20Aとの間に、交流結合用キャパシタC1、C2を設けて、送信データに基づく高速な差動信号のみが差動レシーバ304に入力され、直流成分が遮断されるので、送信部10Aおよび受信部30Aは別々の電源により駆動され、差動レシーバ304はバイアス回路309により、最適な動作点を設定できる。

【0088】なお、以上説明した第1、第2の実施形態において、受信部のクロック生成回路300、300Aにある周波数比較回路305に代えて、周波數位相比較回路を用いてもよい。

【0089】

【発明の効果】以上説明したように、本発明によれば、簡単な回路構成で、的確にクロックを再生できるクロック\*30

\*ク再生回路を実現できる。また、広範囲な転送レートに対応でき、再生したクロック信号が素早く送信クロックに追従でき、伝送媒体を増加する必要がないデータ伝送装置を実現できる利点がある。

【図面の簡単な説明】

【図1】本発明に係るデータ伝送装置の第1の実施形態を示す回路図である。

【図2】本発明に係るエラー検出回路のエラー検出原理を説明するための図である。

10 【図3】図1の受信部におけるエラー検出回路の各部の動作を説明するためのタイミングチャートである。

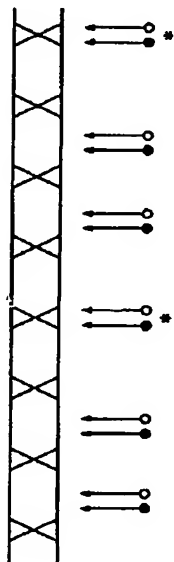
【図4】本発明に係るデータ伝送装置の第2の実施形態を示す回路図である。

【図5】一般的なシリアルデータ伝送装置の構成を示す回路図である。

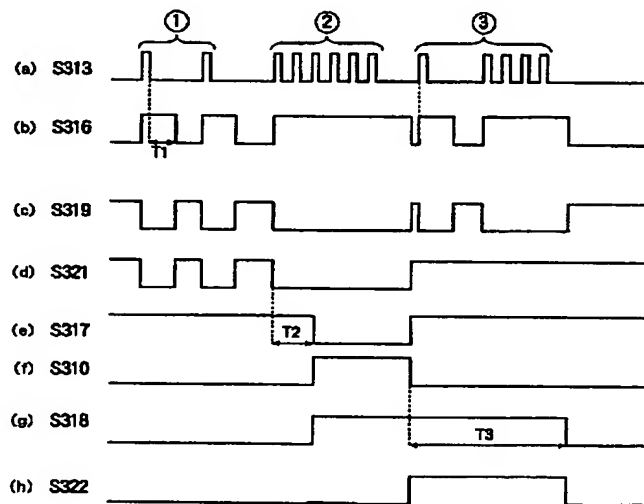
【符号の説明】

10A…送信部、20A…伝送線、30A…受信部、100…送信部の出力回路、101…フリップフロップ、102…セレクタ、103…分周器、104…差動ドライバ、105…コンパレータ、106…同相電圧検出回路、300、300A…クロック生成回路、301…電圧制御発振器(VCO)、302…ループフィルタ、303…位相比較回路、304…差動レシーバ、305…周波数比較回路、306…分周器、307…差動ドライバ、308…同相ドライバ、309…バイアス回路、310…エラー検出回路、311~313…D型フリップフロップ、314…遅延回路、315…排他的論理和(EXOR)ゲート、316~318…パルスストレッチャ、319、320…インバータ、321…2入力ORゲート、322…2入力ANDゲート。

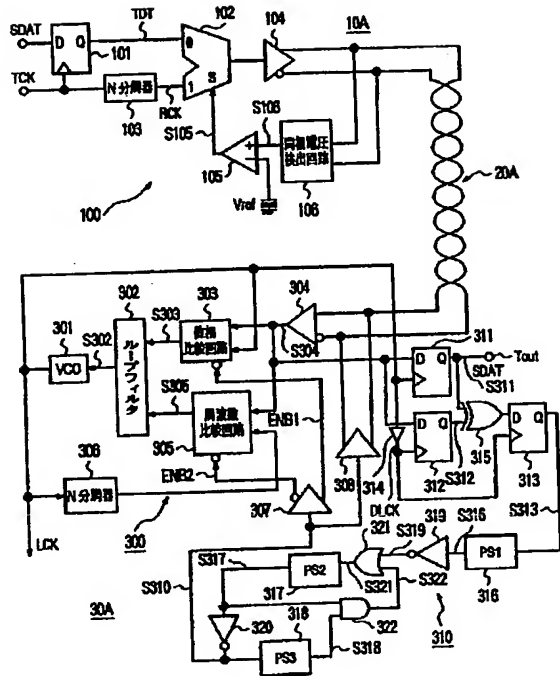
【図2】



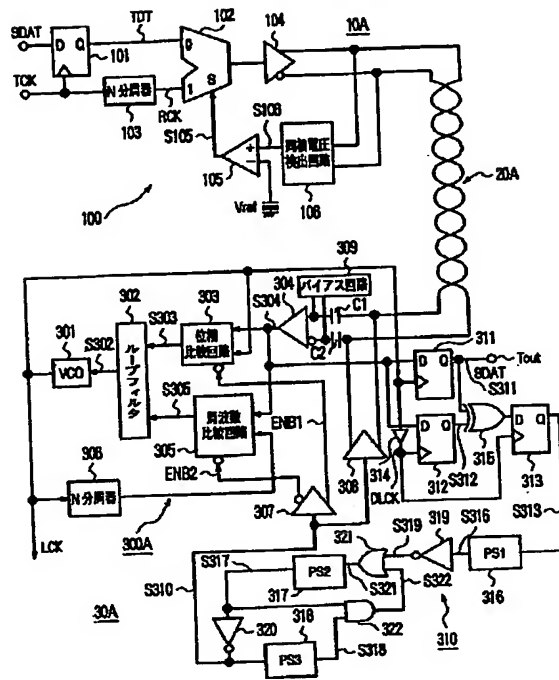
【図3】



【図1】



【図4】



【図5】

